

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-31799

(P2003-31799A)

(43) 公開日 平成15年1月31日(2003.1.31)

(51) Int.Cl. ⁷	識別記号	F I	テームト(参考)	
H 0 1 L	29/78	H 0 1 L	27/08	3 3 1 E 5 F 0 4 8
	21/336		29/78	3 0 1 X 5 F 1 1 0
	21/8234			3 0 1 Y 5 F 1 4 0
	27/08	3 3 1		6 2 6 C
	27/088		27/08	1 0 2 A
審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く				

(21) 出願番号 特願2001-212591(P2001-212591)

(22) 出願日 平成13年7月12日(2001.7.12)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 新居 英明

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 佐藤 力

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

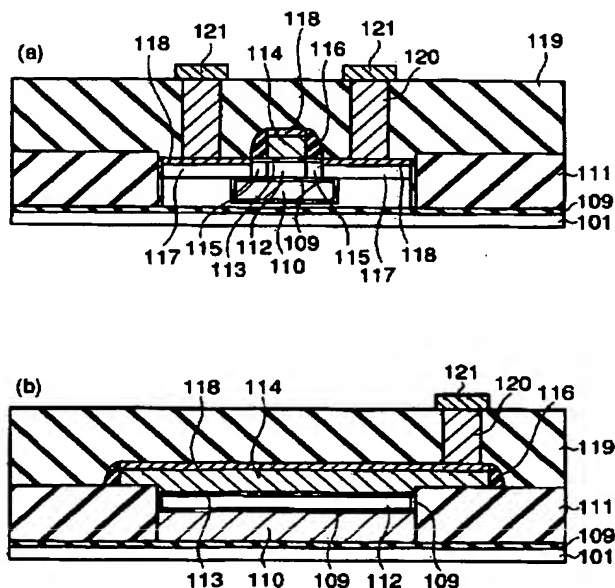
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 SOI 基板を用いなくて製造コストの上昇を抑制しながら、SOI 基板を用いた場合と同様に MISFET の寄生容量の低下や基板浮遊効果による電流駆動力の向上を実現でき、セルフヒーティングによる MISFET の電流駆動力の低下を抑制でき、必要に応じて容易に MISFET の基板電位を確保する。

【解決手段】 シリコン基板 101 と、シリコン基板 101 中の一部に埋め込み形成され、外周部が薄い酸化膜 109 に覆われたポリシリコン 110 領域と、シリコン基板の表層部にチャネル領域およびドレイン・ソース拡散層が形成され、チャネル領域およびそれに隣接するドレイン・ソース拡散層の一部が酸化膜 109 上に接している MISFET とを具備し、MISFET の基板領域は、ドレイン・ソース拡散層との PN 接合および酸化膜によりシリコン基板に対して電気的に分離されている。



1

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板中の一部に埋め込み形成され、外周部に絶縁膜が形成された埋め込み領域と、

前記半導体基板の表層部にチャネル領域およびドレイン・ソース拡散層が形成され、前記チャネル領域およびそれに隣接するドレイン・ソース拡散層の少なくとも一部が前記絶縁膜上に接しているMIS電界効果トランジスタとを具備したことを特徴とする半導体装置。

【請求項2】 前記外周部に絶縁膜が形成された埋め込み領域は、外周部が酸化膜で覆われたポリシリコン領域であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体基板の表層部のうちで前記外周部に絶縁膜が形成された絶縁体領域上以外の領域に形成された別のMIS電界効果トランジスタをさらに具備することを特徴とする請求項1または2記載の半導体装置。

【請求項4】 シリコン基板中に空孔を形成する工程と、
前記シリコン基板中の空孔の外周部に連なるように前記シリコン基板に埋め込み素子分離領域形成用の溝を形成し、前記空孔の外周部を前記溝に露出させる工程と、
前記露出された空孔内を熱酸化した後ポリシリコンを充填させることにより、酸化膜で覆われたポリシリコン領域を前記シリコン基板中の一部に埋め込み形成する工程と、
前記シリコン基板の表層部における前記酸化膜で覆われたポリシリコン領域上にチャネル領域およびソース・ドレイン拡散層の少なくともいずれかを有するMIS型電界効果トランジスタを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】 前記シリコン基板中に空孔を形成する工程は、
前記シリコン基板に対して溝を形成した後、前記シリコン基板を水素雰囲気中で加熱することにより前記溝からシリコン基板中へ空孔を形成させることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係り、特にMIS型電界効果トランジスタの基板構造およびその形成方法に関するもので、例えばMIS型集積回路に適用されるものである。

【0002】

【従来の技術】 シリコン基板上に形成したMIS型電界効果トランジスタ(FET)を有するMIS型集積回路に対して、近年、高速化の要求はますます強くなっているが、それを実現するための手段として、SOI基板上にMISFETを形成する技術の開発が進められている。

2

【0003】 SOI基板を使うことにより、MISFETの寄生容量の低下や基板浮遊効果による電流駆動力の向上によってMIS型集積回路の高速化を実現できるが、反面、コスト上昇やセルフヒーティング、基板電位を確保するために特別なトランジスタを形成しなければならない等のデメリットもあった。

【0004】 以下、図13(a)乃至(d)および図14(a)乃至(d)を参照しながら、従来技術を用いてSOI基板上に形成されたMIS型集積回路の製造方法を説明する。

【0005】 まず、図13(a)に示すように、P型シリコン基板1、埋め込み酸化膜2、シリコン単結晶層3からなるSOI基板上に、熱酸化により10nm程度の酸化膜4を形成し、さらに、LPCVD(Low-Pressure-Chemical-Vapor-Deposition)法によりシリコン窒化膜5および酸化膜6を順次堆積させる。

【0006】 次に、図13(b)に示すように、リソグラフィを用いて、素子領域7となるべき領域上にレジストパターン20を形成し、このレジストパターン20をマスクとするRIE(Reactive-Ion-Etching)等のドライエッチングを用いて、表面の酸化膜6を所定の形状に加工する。

【0007】 続いて、図13(c)に示すように、前記レジストパターン20を剥離した後、酸化膜6をマスク材として、RIE法を用いて窒化膜5、酸化膜4、およびシリコン単結晶層3を所定の形状に加工する。

【0008】 次に、図13(d)に示すように、CVD法を用いて酸化膜8を埋め込んだ後、CMP(Chemical-Mechanical-Polishing)を用いて素子領域7上のシリコン窒化膜5が露出するまで酸化膜8を研磨する。

【0009】 次に、前記研磨により露出されたシリコン窒化膜5を熱リン酸により除去し、図14(a)に示すように、イオン注入を用いてシリコン単結晶層3にP型不純物領域9を形成する。

【0010】 続いて、表面の酸化膜4をHF系の溶液で剥離した後、図14(b)に示すように、熱酸化によりゲート絶縁膜10を形成する。さらに、LPCVD法を用いてポリシリコンを堆積した後、リソグラフィによるレジストパターニングおよびRIEを用いてMISFETのゲート電極11を形成する。そして、ゲート電極11をマスクとしたイオン注入を行うことにより、MISFETのLDD構造のドレイン・ソース領域となる低濃度拡散層12を形成する。

【0011】 次に、図14(c)に示すように、LPCVD法により窒化膜を堆積させてRIE法でエッチバックすることにより、ゲート電極11外周に側壁13を形成する。さらに、ゲート電極11と側壁13をマスク材としたイオン注入を行うことにより、MISFETのドレイン・ソース領域となる高濃度拡散層14を形成する。

3

【0012】その後、図14(d)に示すように、表面にTi、Co、Ni等の高融点金属を堆積させて熱工程を施すことにより、シリコン単結晶層3、ゲート電極11上に選択的に金属シリサイド15を形成する。さらに、通常用いられる配線形成技術を用いて、層間絶縁膜16、コンタクトプラグ17、金属配線18を形成する。

【0013】しかし、上記した従来の製造方法は、現在は高単価のSOI基板を用いるので、製造コストが大幅に上昇する。また、MISFETの下部に埋め込み酸化膜2が存在するので、発生した熱が逃げにくく、素子の温度が上昇し、移動度を劣化させ、MISFETの電流駆動力を低下させてしまう。

【0014】また、MISFETのゲート電極直下の基板電位が変動するとMISFETの閾値電圧が変動するが、回路動作上の都合によりMISFETの閾値電圧の変動を避けたい場合に、MISFETのゲート電極直下の基板電位を確保(固定)させるためにボディコンタクトを取り、MISFETのチャンネル領域に固定電位を供給するようにすると、ボディコンタクトをとるために特別なパターンを形成する必要がある。

【0015】

【発明が解決しようとする課題】上記したように従来のSOI基板上にMISFETを形成した半導体装置は、製造コストが上昇する、セルフヒーティングによりMISFETの電流駆動力が低下する、MISFETのゲート電極直下の基板電位を固定させる場合に特別なパターンを形成しなければならない等の問題があった。

【0016】本発明は上記の問題点を解決すべくなされたもので、製造コストの上昇を抑制しながら、SOI基板を用いた場合と同様にMISFETの寄生容量の低下や基板浮遊効果による電流駆動力の向上を実現でき、セルフヒーティングによるMISFETの電流駆動力の低下を抑制でき、必要に応じて容易にMISFETの基板電位を確保することが可能になる半導体装置およびその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、前記半導体基板中の一部に埋め込み形成され、外周部に絶縁膜が形成された埋め込み領域と、前記半導体基板の表層部にチャンネル領域およびドレイン・ソース拡散層が形成され、前記チャンネル領域およびそれに隣接するドレイン・ソース拡散層の少なくとも一部が前記絶縁膜上に接しているMIS電界効果トランジスタとを具備したことを特徴とする。

【0018】本発明の半導体装置の製造方法は、シリコン基板中に空孔を形成する工程と、前記シリコン基板中の空孔の外周部に連なるように前記シリコン基板に埋め込み素子分離領域形成用の溝を形成し、前記空孔の外周部を前記溝に露出させる工程と、前記露出された空孔内

4

を熱酸化した後にポリシリコンを充填させることにより、酸化膜で覆われたポリシリコン領域を前記シリコン基板中の一部に埋め込み形成する工程と、前記シリコン基板の表層部における前記酸化膜で覆われたポリシリコン領域上にチャンネル領域およびソース・ドレイン拡散層の少なくともいずれかを有するMIS型電界効果トランジスタを形成する工程とを具備することを特徴とする。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0020】＜第1の実施形態＞図1乃至図12は、本発明の第1の実施形態に係るMIS型集積回路におけるMISFETの製造工程を示している。

【0021】まず、図1に示すように、P型シリコン基板101上に、100nm程度の熱酸化膜(SiO₂膜)102を形成し、その上にレジストパターン130を形成する。

【0022】次に、前記レジストパターン130をマスクとしたRIEにより、図2に示すように熱酸化膜102を所定のパターン形状に加工し、さらに、前記レジストパターン130を剥離した後、酸化膜102のパターンをマスクとしたRIEによりP型シリコン基板101に溝103を形成する。

【0023】次に、HF系の溶液を用いて表面の酸化膜102を除去した後、水素雰囲気中でアニールを行うことにより、図3に示すように、P型シリコン基板101中に空孔104を形成する。ここで、水素雰囲気中でアニールを行うことによりシリコン基板中に空孔を形成する技術は、例えばT.Sato et al., "A New Substrate Engineering for the Formation of Empty Space in Silicon (ESS) Induced by Silicon Surface Migration", IEDM 1999-517に開示されている。

【0024】次に、図4に示すように、熱酸化によりシリコン酸化膜105を形成した後、LPCVD法によりシリコン窒化膜106およびシリコン酸化膜107を順次堆積させる。さらに、リソグラフィを用いて、素子領域108となるべき領域上にレジストパターン131を形成し、このレジストパターン131をマスクとしてRIE等のドライエッチングを行うことにより、前記シリコン酸化膜107を素子領域108上にのみ残す。

【0025】次に、図5(a)、(b)に示すように、前記レジストパターン131を剥離した後、表面のシリコン酸化膜107をマスクとしてRIEを行うことにより、前記シリコン窒化膜106およびシリコン酸化膜105を素子領域108上にのみ残すように除去し、さらに、シリコン基板101を所定の深さまでエッチングして溝132を形成する。

【0026】この場合、図5(a)、(b)は、この段階において素子領域108に形成しようとするMISFETのゲート長方向およびそれに直交するゲート幅方向

5

に沿う断面を対応して示している。ここで、ゲート幅方向に沿う断面において、空孔104は素子領域108を貫通し、その両端部が前記シリコン基板101の溝132に連なっていることに注意されたい。

【0027】次に、図6に示すゲート幅方向に沿う断面のように、熱酸化を行うことにより、前記シリコン基板101のシリコンが露出した領域（空孔104の内壁を含む）に薄いシリコン酸化膜109を形成した後、LPCVD法を用いてポリシリコン110を堆積させるとともに空孔104内部をポリシリコン110で充填する。10

【0028】次に、図7(a)に示すゲート幅方向に沿う断面および図7(b)に示すゲート長方向に沿う断面のように、前記ポリシリコン110に対して、RIEによるエッチバックおよび等方性ドライエッチングを行うことにより、空孔104内部にのみポリシリコン110が残された状態にする。この状態で、空孔104内部は薄いシリコン酸化膜109で上下が覆われた（ノンドープ）ポリシリコン110が充填されている。

【0029】次に、図8(a)に示すゲート幅方向に沿う断面および図8(b)に示すゲート長方向に沿う断面20のように、CVD法を用いてシリコン酸化膜111を埋め込んだ後、CMPを用いて素子領域108上のシリコン酸化膜106が露出するまで酸化膜111を研磨する。

【0030】次に、前記研磨により露出されたシリコン酸化膜106を熱燐酸により除去し、図9に示すゲート長方向に沿う断面のように、イオン注入を用いてシリコン基板101にP型不純物領域112を形成する。

【0031】その後、表面のシリコン酸化膜105をHF系の溶液で剥離した後、図10に示すゲート長方向30に沿う断面のように、熱酸化によりゲート絶縁膜113を形成する。さらに、LPCVD法を用いてポリシリコンを堆積した後、リソグラフィによるレジストパターンニングおよびRIEを用いてMISFETのゲート電極114を形成する。そして、ゲート電極114をマスクとしたイオン注入を行うことにより、MISFETのLDD構造のドレイン・ソース領域となる低濃度拡散層115を形成する。

【0032】次に、図11に示すゲート長方向に沿う断面40のように、LPCVD法により窒化膜を堆積させてRIE法でエッチバックすることにより、ゲート電極114外周に側壁116を形成する。さらに、ゲート電極114と側壁116をマスク材としたイオン注入を行うことにより、MISFETのドレイン・ソース領域となる高濃度拡散層117を形成する。

【0033】その後、図12(a)に示すゲート長方向に沿う断面および図12(b)に示すゲート幅方向に沿う断面のように、表面にTi、Co、Ni等の高融点金属を堆積させて熱工程を施すことにより、高濃度拡散層117上およびゲート電極114上に選択的に金属シリ50

6

サイド118を形成する。さらに、通常用いられる配線形成技術を用いて、層間絶縁膜119、コンタクトプラグ120、金属配線121を形成する。

【0034】上記したMISFETの製造方法は、シリコン基板101中に空孔を形成し、その内部に薄い酸化膜109を介してポリシリコン110を埋め込み、この薄い酸化膜で覆われたポリシリコン領域上にソース・ドレイン・チャネル領域の少なくとも一部（本例では、チャネル領域と、ソース・ドレイン領域の一部）が存在するようにMISFETを形成することを特徴とするものである。

【0035】このように形成されたMISFETによれば、シリコン基板101中に形成された薄い絶縁膜で覆われた埋め込み領域（本例では酸化膜109で覆われたポリシリコン110領域）上にMISFETのチャネル領域とソース・ドレイン領域の一部が存在する。

【0036】これにより、従来例のSOI基板上に形成されたMISFETと同様に、拡散層容量の低減、チャネル領域の基板浮遊効果による電流駆動力の向上などの利点が得られる。しかも、現在高価なSOI基板を用いないので製造コストの上昇を抑制することができる。

【0037】しかも、薄い酸化膜109で覆われたポリシリコン110領域の熱伝導性が良いので、MISFETの基板領域のセルフヒーティングを招くことを防止することができる。また、薄い酸化膜109で覆われたポリシリコン110は、シリコン基板101と熱膨張率の差が少ないので、熱応力による影響が少なく済む。

【0038】また、MIS型集積回路内の一部のMISFETは上記したような構造となるように形成し、他のMISFETについては、MISFETの下方に空孔および薄い酸化膜109で覆われたポリシリコン110領域を形成しないで通常の構造となるように形成してチャネル電位を確保することも可能である。したがって、基板浮遊効果を発生させたいMISFETと基板浮遊効果を発生させたくないMISFETとをMIS型集積回路内に容易に共存させることができる。

【0039】＜第2の実施形態＞前記第1の実施形態では、シリコン基板101中の薄い酸化膜109で覆われたポリシリコン110領域をMISFETのチャネル領域とその近傍のソース・ドレイン領域の一部分の直下に対応する広さで形成した例を示した。

【0040】第2の実施形態では、薄い酸化膜109で覆われたポリシリコン110領域を、さらに、ソース・ドレイン領域の大部分の直下に対応する領域まで広く形成する（図示せず）ことにより、第1の実施形態と基本的に同様の効果が得られるが、拡散層容量をさらに低減することができる。

【0041】また、シリコン基板101中の薄い酸化膜109で覆われたポリシリコン110領域を、チャネル領域の直下には形成しないで、ソース・ドレイン領域の

7

直下に対応する領域にのみ形成するようにしても、拡散層容量の低減効果が得られる。この場合、ソース・ドレイン領域の直下に対応する領域に酸化膜のみを介してシリコン基板が存在する構造（例えば特公平6-24229号公報）と比べて、薄い酸化膜109で覆われたポリシリコン110領域による熱伝導性が良いので、セルフヒーティングの抑制効果を期待することができる。

【0042】

【発明の効果】 上述したように本発明の半導体装置およびその製造方法によれば、製造コストの上昇を抑制しながら、SOI基板を用いた場合と同様にMISFETの寄生容量の低下や基板浮遊効果による電流駆動力の向上を実現でき、セルフヒーティングによるMISFETの電流駆動力の低下を抑制でき、必要に応じて容易にMISFETの基板電位を確保することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るMIS型集積回路におけるMISFETの製造工程の一部を示す断面図。

【図2】 図1の工程に続く工程を示す断面図。

【図3】 図2の工程に続く工程を示す断面図。

【図4】 図3の工程に続く工程を示す断面図。

【図5】 図4の工程に続く工程を示す断面図。

【図6】 図5の工程に続く工程を示す断面図。

【図7】 図6の工程に続く工程を示す断面図。

【図8】 図7の工程に続く工程を示す断面図。

【図9】 図8の工程に続く工程を示す断面図。

【図10】 図9の工程に続く工程を示す断面図。

8

* 【図11】 図10の工程に続く工程を示す断面図。

【図12】 図11の工程に続く工程を示す断面図。

【図13】 従来のSOI基板を用いたMIS型集積回路におけるMISFETの製造工程の一部を示す断面図。

【図14】 図13の工程に続く工程を示す断面図。

【符号の説明】

101…P型シリコン基板、

102…酸化膜、

103…溝、

104…空孔、

105…シリコン酸化膜、

106…シリコン窒化膜、

107…シリコン酸化膜、

108…素子領域、

109…シリコン酸化膜、

110…ポリシリコン、

111…シリコン酸化膜、

112…P型不純物領域、

113…ゲート絶縁膜、

114…ゲート電極、

115…低濃度拡散層、

116…側壁、

117…高濃度拡散層、

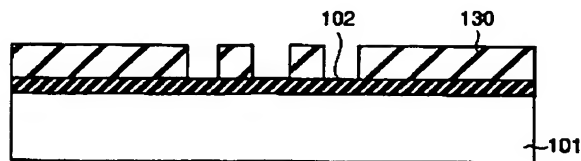
118…金属シリサイド、

119…層間絶縁膜、

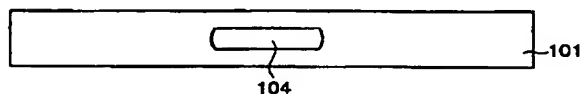
120…コンタクト孔、

121…金属配線。

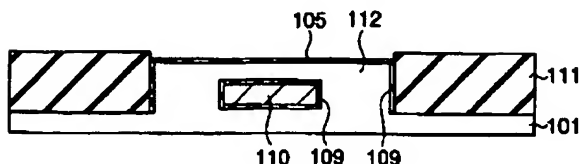
【図1】



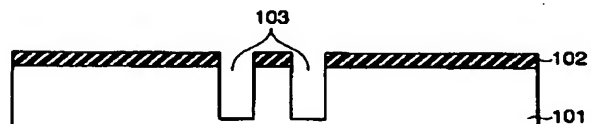
【図3】



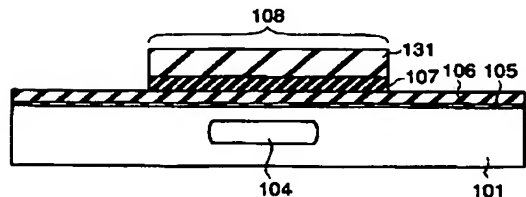
【図9】



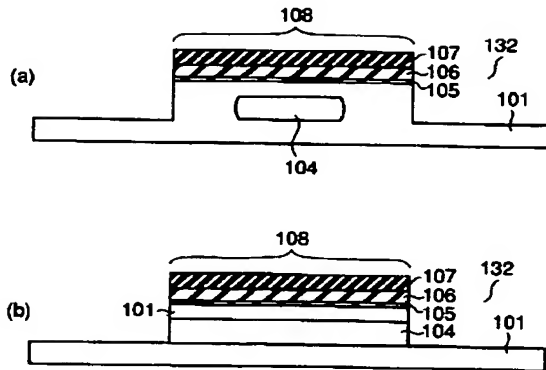
【図2】



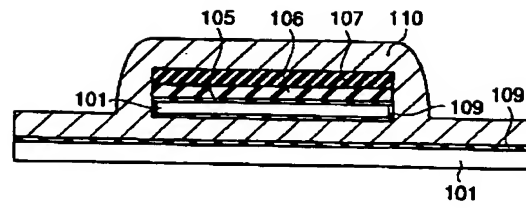
【図4】



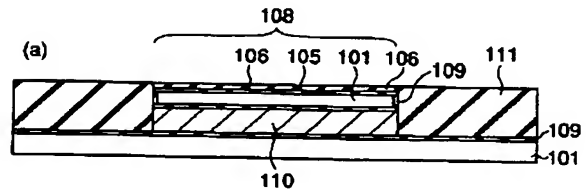
【図 5】



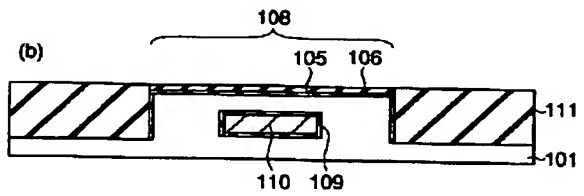
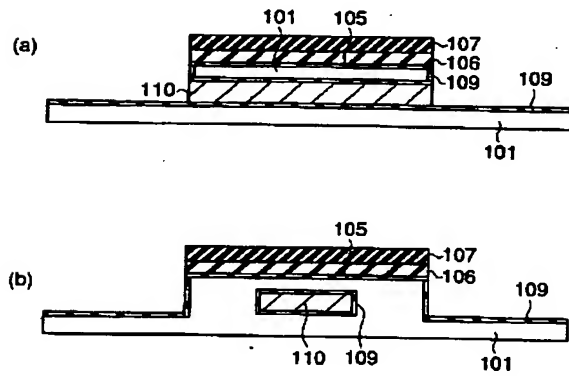
【図 6】



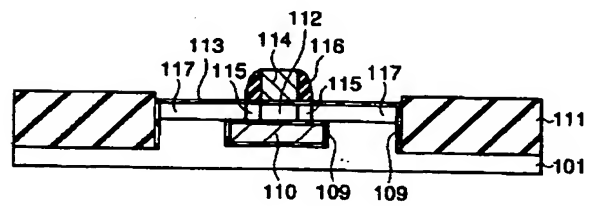
【図 8】



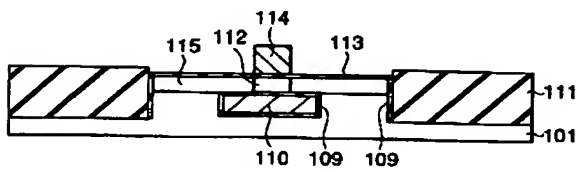
【図 7】



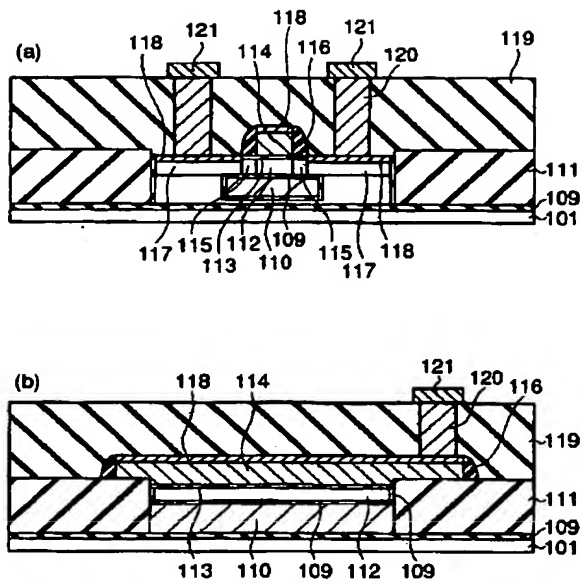
【図 11】



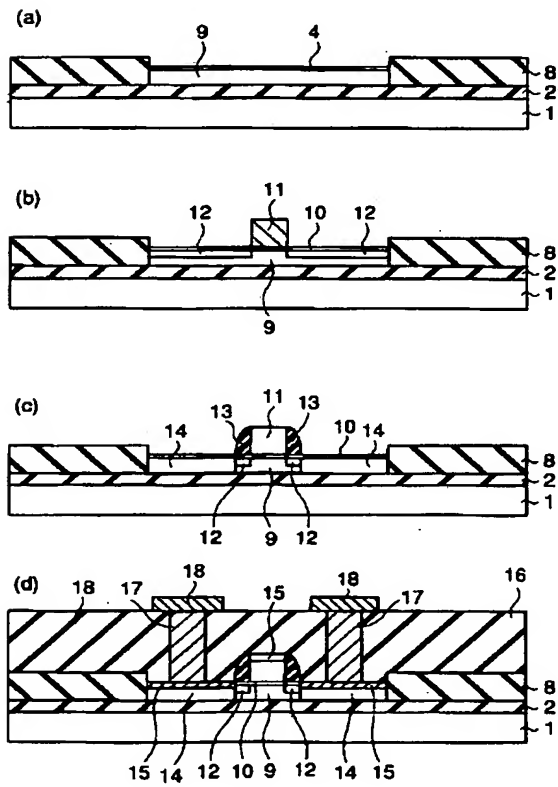
【図 10】



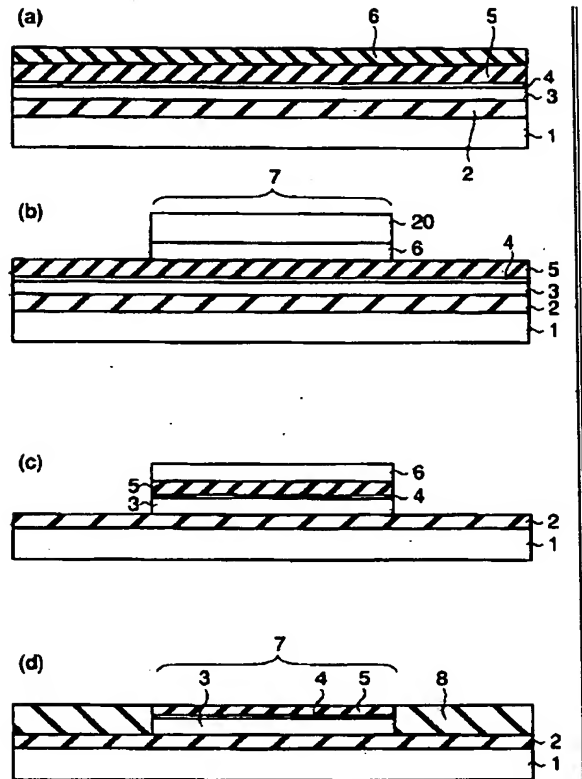
【図12】



【図14】



【図13】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マ-ド (参考)

H O 1 L 29/786

F タ-ム (参考) 5F048 AC01 AC04 BA09 BA16 BB05
BB08 BC01 BC06 BC11 BC12
BC16 BD01 BF06 BG05
5F110 AA02 AA15 CC02 DD05 DD13
DD25 EE05 EE09 EE14 EE32
EE45 FF02 FF23 GG02 GG12
GG39 HJ13 HK05 HK32 HK40
HM15 HM17 NN02 QQ11
5F140 AA12 AB01 AC36 BA01 BE07
BF04 BF11 BF18 BG08 BG14
BG27 BG28 BG34 BG38 BG52
BG53 BH15 BH40 BH45 BJ08
BJ27 BK02 BK13 BK29 BK34
CB04 CE07 CF04